



产品手册
ECK20-6Y28C 核心板



目录

免责声明和版权公告	1
1. 产品概述	2
1.1. 产品介绍	2
1.2. 产品特点	2
1.3. 核心板功能框图	3
1.4. 典型应用	4
2. 产品选型	4
2.1. 型号配置	4
2.2. 型号编码	4
3. 快速体验	5
4. 功能和参数	5
4.1. 产品功能	5
4.2. 环境特性	6
4.3. I/O 特性	7
4.4. 电气特性	10
5. 核心板硬件设计	11
5.1. 处理器	11
5.2. 内存	12
5.3. 时钟	12
5.4. 存储	12
5.5. 看门狗	13
5.6. 电源	14
6. 底板硬件设计	14
6.1. 电源接口	14
6.2. 启动配置	16
6.3. 复位和电源按键	18
6.4. 显示接口	19
6.5. 摄像头接口	20
6.6. uSDHC 卡接口	21
6.7. USB 接口	22
6.8. 以太网接口	23
6.9. 音频接口	25
6.10. UART 接口	25
6.11. SPI 接口	25
6.12. I2C 接口	25
6.13. CAN 接口	25
6.14. ADC 接口	26
6.15. GPIO 接口	26
6.16. 硬件设计检查项	26
7. 软件资源	26
7.1. 系统资源	27

8. 结构尺寸	28
9. 热设计	28
9.1. 设计目标	28
9.2. 散热方案	29
9.3. 热设计验证	30
9.4. 注意事项	30
10. 参考文档	30
11. 修订说明	31
12. 关于我们	31

免责声明和版权公告

本文中的信息，如有变更，恕不另行通知。文档“按现状”提供，不负任何担保责任，包括对适销性、适用于特定用途或非侵权性的任何担保，和任何提案、规格或样品在他处提到的任何担保。本文档不负任何责任，包括使用本文档内信息产生的侵犯任何专利权行为的责任。本文档在此未以禁止反言或其他方式授予任何知识产权使用许可，不管是明示许可还是暗示许可。

文中所得测试数据均为亿佰特实验室测试所得，实际结果可能略有差异。

文中提到的所有商标名称、商标和注册商标均属其各自所有者的财产，特此声明。

最终解释权归成都亿佰特电子科技有限公司所有。

注 意：

由于产品版本升级或其他原因，本手册内容有可能变更。亿佰特电子科技有限公司保留在没有任何通知或者提示的情况下对本手册的内容进行修改的权利。本手册仅作为使用指导，成都亿佰特电子科技有限公司尽全力在本手册中提供准确的信息，但是成都亿佰特电子科技有限公司并不确保手册内容完全没有错误，本手册中的所有陈述、信息和建议也不构成任何明示或暗示的担保。

1. 产品概述

1.1. 产品介绍

亿佰特 ECK20-6Y28C 系列核心板是基于 NXP Cortex-A7 内核 i.MX6ULL 处理器精心设计的，采用 BTB 连接器连接的低成本、低功耗、高性价比、高可靠性的嵌入式核心板。可广泛应用于工业控制、HMI、IoT 等领域。

NXP 的 i.MX6ULL 处理器采用单个 ARM Cortex-A7 内核，最高主频可达 792MHz，可提供 1 路 LCD 显示、1 路数字摄像头、2 路百兆以太网、2 路 USB OTG、8 路 UART、2 路 SDIO、2 路 CAN、多路 GPIO 等丰富的 I/O 资源。

ECK20-6Y28C 系列核心板包含 3 种具体产品型号。它们主要在内存容量、存储配置等方面有一些差异，客户可根据需求自行选择合适的型号。产品选型详见产品选型章节。

ECK20-6Y28C 系列核心板实物图（产品底面无器件）如下：

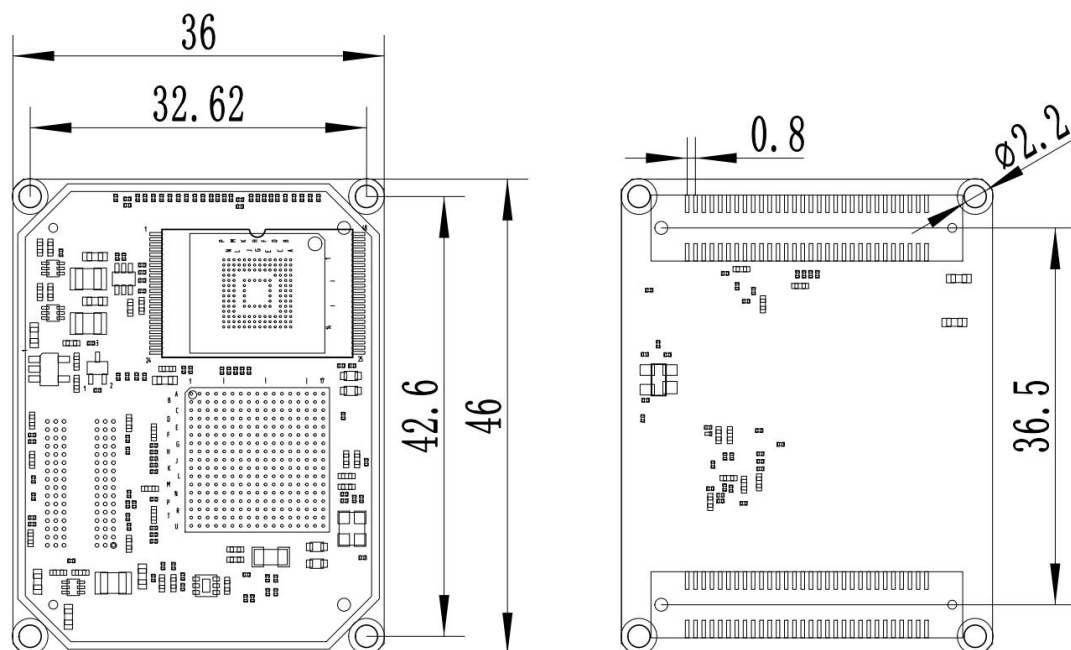


实物图

1.2. 产品特点

- 1、处理器：i.MX6ULL 系列工业级处理器，主频 792MHz；
- 2、内存：在板 DDR3L SDRAM，256MB/512GB 容量可选；
- 3、存储：8GB eMMC 或 512MB 并行 NAND FLASH 可选；
- 4、显示：1 路并行显示接口，最大分辨率支持 WXGA（1366×768@60fps）；
- 5、网络：10/100 自适应以太网 MII/RMII 接口；
- 6、USB：2 路 USB2.0 OTG 接口；
- 7、SDIO：2 路 MMC/SD/SDIO 卡接口（eMMC 配置只支持 1 路 SDIO 引出）；
- 8、多种扩展 I/O 接口：包括 UART、CAN、I2C、SPI、SAI、ADC、GPIO 等；
- 9、支持片内看门狗功能（超时可引起处理器复位）；
- 10、支持片内 RTC 功能；

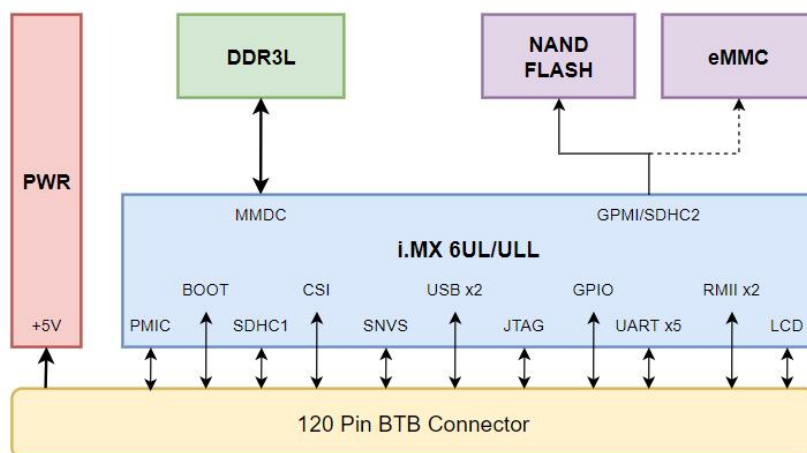
- 11、接口形式：120 脚 BTB 连接器；
- 12、供电电源：单路 DC +5V±10%@0.3A 电源输入；
- 13、结构尺寸：46×36×6.8mm，其中 PCB+屏蔽罩高 3mm，BTB 连接器合高 5mm，尺寸如下图所示：



尺寸示意图

- 14、工作温度：商业级：0℃-70℃，工业级：-40℃-85℃；
- 15、PCB 工艺：8 层板设计，沉金，无铅工艺；

1.3.核心板功能框图



功能框图

1.4.典型应用

- 智能家居；
- 智能玩具；
- 智慧城市；
- 平板电脑；
- 物联网网关；
- 广告一体机；
- 工业一体机；
- 工业控制主板；
- 机器人、无人机。

2. 产品选型

2.1.型号配置

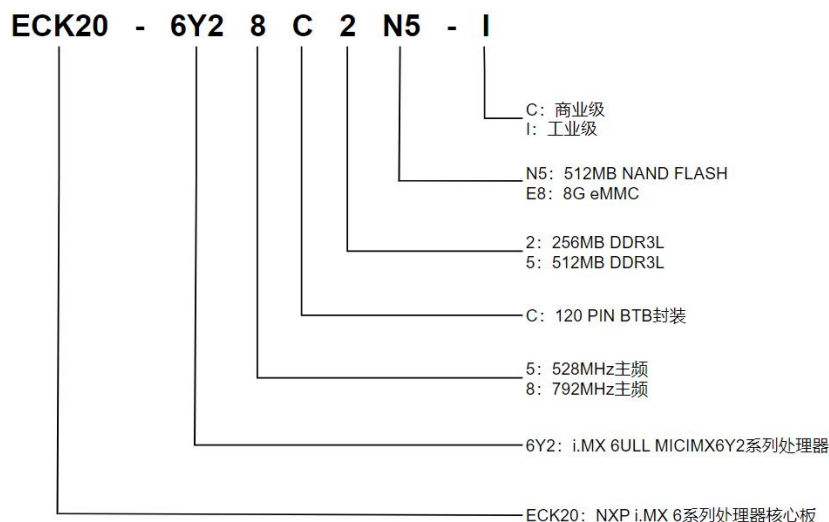
ECK20-6Y28C 系列核心板选型配置表如下表：

产品选型和配置表

序号	产品型号	处理器型号	内存	存储	工作温度
1	ECK20-6Y28C2N5-I	MCIMX6Y2CVM08AB	256MB DDR3L	512MB NAND	工业级 -40℃ ~ 85℃
2	ECK20-6Y28C5E8-C	MCIMX6Y2CVM08AB	512MB DDR3L	8GB eMMC	商业级 0℃ ~ 70℃
3	ECK20-6Y28C5E8-I	MCIMX6Y2CVM08AB	512MB DDR3L	8GB eMMC	工业级 -40℃ ~ 85℃

2.2.型号编码

产品型号编码说明如下图：



型号编码说明图

3. 快速体验

选择亿佰特单板机产品，可快速体验 ECK20-6Y28C 核心板产品典型应用功能，底板设计，软件开发等。

4. 功能和参数

4.1. 产品功能

ECK20-6Y28C 系列核心板主要集成了处理器、内存、存储和电源系统，并引出了处理器上的所有 I/O 引脚。用户可以根据自己的需要，设计底板来应用核心板上 I/O 资源，将 I/O 复用成自己所需要的功能。

下表列举了 ECK20-6Y28C 系列核心板在板集成的主要功能参数，和可复用 I/O 资源的功能参数。其中每项 I/O 功能的描述是，在不使用其他 I/O 功能的前提下，核心板所能使用该 I/O 功能的最大指标（比如在使用 1 路 24 位色 LCD 接口功能和 2 路网络接口功能后，就不能实现 8 路 UART 功能）。

产品功能表

产品	功能描述	
处理器	MCIMX6Y2CVM08AB; i.MX 6ULL Applications Processors for Industrial; Single Arm Cortex-A7 core, 792MHz;	
存储	内存	在板 DDR3L SDRAM, 16 位宽, 256MB/512MB 可选;
	FLASH	在板 8GB eMMC / 在板 512MB 并行 NAND FLASH 可选;
显示	1 路并行显示接口, 最大分辨率支持 WXGA (1366×768@60fps);	

	支持 24bit、18bit、16bit、8bit 并行显示输出；
摄像头	1 路并行摄像头接口，最大支持 24bit 数据和 85MHz 时钟； 支持 24bit、16bit、10bit、8bit 数据输入； 支持 BT.656 数据格式；
USDHC	2 路 MMC/SD/SDIO 卡接口； 1bit 或 4bit 模式 SD/SDIO 卡，最大支持 UHS-I SDR-104 模式； 1bit、4bit 或 8 位模式 MMC 卡，最大支持 DDR 模式； 4bit 或 8 位模式 eMMC，最大支持 HS200 模式；
USB	2 路 USB 2.0 OTG；
音频	3 路 I2S/SAI/AC97，最大 1.4Mbps 每路； 支持 ESAI 音频接口； 支持 SPDIF 音频接口；
串口	8 路 UART，最大 5Mbps 每路；
SPI	4 路 eCSPI（Enhanced CSPI），最大 52Mbps 每路；
以太网	2 路 10/100 以太网 MAC，支持 IEEE1588，支持 RMII；
I2C	4 路 I2C，最大 400Kbps 每路；
CAN	2 路 CAN 接口，支持 CAN 2.0B 协议；
PWM	8 路 PWM，最大时钟频率 66MHz；
ADC	2 个 12 位 ADC，最大支持 10 路输入通道；
EIM	支持 EIM（External Interface Module），可扩展 NOR FLASH 或 PSRAM 等；
JTAG	支持 System JTAG Controller；
TIMER	2 个 GPT（General Purpose Timer）定时器功能；
WDT	3 个 Watchdog 定时器功能；
键盘	1 个 8×8 矩阵键盘功能；
GPIO	105 路（最多）GPIO，支持中断功能；

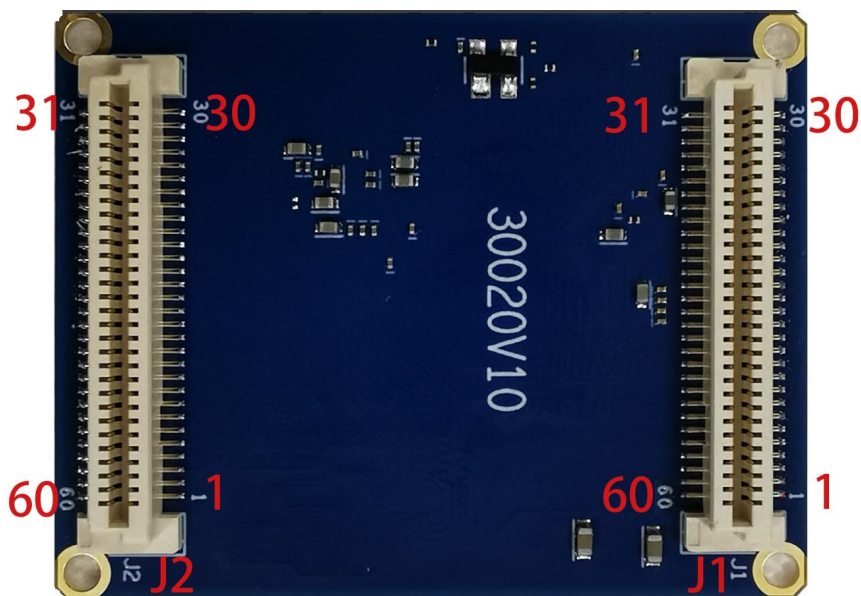
4.2.环境特性

环境特性表

工作温度	商业级	0℃ ~ 70℃；
	工业级	-40℃ ~ 85℃；
贮存温度	-40 ~ 85℃；	
工作湿度	5~95%湿度，非凝结；	
贮存湿度	60℃@95%湿度，非凝结；	

4.3.I/O 特性

4.3.1.I/O 引脚定义



引脚编号图

引脚定义表

引脚	网络名称	MPU	电平/电源轨	类型	走线长度	说明
J1-1	CSI_HSYNC	F3	3.3V/NVCC_CSI	I/O	1346.67	
J1-2	CSI_MCLK	F5	3.3V/NVCC_CSI	I/O	1350.47	
J1-3	CSI_DATA2	E2	3.3V/NVCC_CSI	I/O	1349.88	
J1-4	CSI_DATA6	D2	3.3V/NVCC_CSI	I/O	1344.27	
J1-5	CSI_PIXCLK	E5	3.3V/NVCC_CSI	I/O	1348.42	
J1-6	CSI_DATA5	D3	3.3V/NVCC_CSI	I/O	1351.41	
J1-7	LCD_DATA0	B9	3.3V/NVCC_3V3	I/O	1126.87	47K pull down
J1-8	LCD_DATA1	A9	3.3V/NVCC_3V3	I/O	1120.26	47K pull down
J1-9	LCD_DATA2	E10	3.3V/NVCC_3V3	I/O	1120.91	47K pull down
J1-10	LCD_DATA3	D10	3.3V/NVCC_3V3	I/O	1121.35	47K pull down
J1-11	LCD_DATA4	C10	3.3V/NVCC_3V3	I/O	1117.53	47K pull down
J1-12	LCD_DATA5	B10	3.3V/NVCC_3V3	I/O	1118.87	47K pull down
J1-13	LCD_DATA6	A10	3.3V/NVCC_3V3	I/O	1118.25	47K pull down
J1-14	LCD_DATA7	D11	3.3V/NVCC_3V3	I/O	1117.90	47K pull down
J1-15	LCD_DATA8	B11	3.3V/NVCC_3V3	I/O	1116.88	47K pull down
J1-16	LCD_DATA9	A11	3.3V/NVCC_3V3	I/O	1120.64	47K pull down
J1-17	LCD_DATA10	E12	3.3V/NVCC_3V3	I/O	1118.52	47K pull down
J1-18	LCD_DATA11	D12	3.3V/NVCC_3V3	I/O	1116.43	47K pull down
J1-19	LCD_DATA12	C12	3.3V/NVCC_3V3	I/O	1111.73	47K pull down
J1-20	LCD_DATA13	B12	3.3V/NVCC_3V3	I/O	1111.69	47K pull down

J1-21	LCD_DATA14	A12	3.3V/NVCC_3V3	I/O	1116.77	47K pull down
J1-22	LCD_DATA15	D13	3.3V/NVCC_3V3	I/O	1119.49	47K pull down
J1-23	LCD_DATA16	C13	3.3V/NVCC_3V3	I/O	1115.45	47K pull down
J1-24	LCD_DATA17	B13	3.3V/NVCC_3V3	I/O	1113.94	47K pull down
J1-25	LCD_DATA18	A13	3.3V/NVCC_3V3	I/O	1112.83	47K pull down
J1-26	LCD_DATA19	D14	3.3V/NVCC_3V3	I/O	1112.36	47K pull down
J1-27	LCD_DATA20	C14	3.3V/NVCC_3V3	I/O	1123.00	47K pull down
J1-28	LCD_DATA21	B14	3.3V/NVCC_3V3	I/O	1121.71	47K pull down
J1-29	LCD_DATA22	A14	3.3V/NVCC_3V3	I/O	1121.90	47K pull down
J1-30	LCD_DATA23	B16	3.3V/NVCC_3V3	I/O	1115.26	47K pull down
J1-31	ENET2_TX_CLK	D17	3.3V/NVCC_3V3	I/O	1072.76	10ohm in series
J1-32	ENET2_TX_EN	B15	3.3V/NVCC_3V3	I/O	1070.66	
J1-33	ENET2_RX_EN	B17	3.3V/NVCC_3V3	I/O	1507.52	
J1-34	ENET2_RX_ER	D16	3.3V/NVCC_3V3	I/O	1514.31	
J1-35	ENET2_TX_DATA1	A16	3.3V/NVCC_3V3	I/O	1066.33	
J1-36	ENET2_TX_DATA0	A15	3.3V/NVCC_3V3	I/O	1069.09	
J1-37	ENET2_RX_DATA1	C16	3.3V/NVCC_3V3	I/O	1504.76	
J1-38	ENET2_RX_DATA0	C17	3.3V/NVCC_3V3	I/O	1513.40	
J1-39	SNVS_TAMPER6	N11	3.3V/SNVS_IN	I/O	1021.79	
J1-40	RESETN		3.3V/SNVS_IN	I		50K pull up
J1-41	PWR_ON_EN		3.3V/SNVS_IN	O		
J1-42	VBAT		3.3V/SNVS_IN	PWR		Diode in series
J1-43	LCD_VSYNC	C9	3.3V/NVCC_3V3	I/O	1121.21	
J1-44	LCD_HSYNC	D9	3.3V/NVCC_3V3	I/O	1117.66	
J1-45	LCD_CLK	A8	3.3V/NVCC_3V3	I/O	1119.18	10ohm in series
J1-46	LCD_ENABLE	B8	3.3V/NVCC_3V3	I/O	1114.93	
J1-47	GPIO1_IO05	M17	3.3V/NVCC_3V3	I/O	2700.36	SD1_VSELECT
J1-48	SNVS_TAMPER9	R6	3.3V/SNVS_IN	I/O	1295.30	
J1-49	SD1_DATA0	B3	3.3V/1.8V/NVCC_SD	I/O	1150.61	10K pull up
J1-50	SD1_DATA1	B2	3.3V/1.8V/NVCC_SD	I/O	1149.15	
J1-51	SD1_DATA3	A2	3.3V/1.8V/NVCC_SD	I/O	1152.75	
J1-52	SD1_DATA2	B1	3.3V/1.8V/NVCC_SD	I/O	1151.28	
J1-53	SD1_CMD	C2	3.3V/1.8V/NVCC_SD	I/O	1149.57	10K pull up
J1-54	SD1_CLK	C1	3.3V/1.8V/NVCC_SD	I/O	1155.73	10ohm in series
J1-55	CSI_DATA4	D4	3.3V/NVCC_CSI	I/O	1353.49	
J1-56	CSI_DATA0	E4	3.3V/NVCC_CSI	I/O	1354.05	
J1-57	CSI_DATA1	E3	3.3V/NVCC_CSI	I/O	1356.27	
J1-58	CSI_DATA7	D1	3.3V/NVCC_CSI	I/O	1347.28	
J1-59	CSI_DATA3	E1	3.3V/NVCC_CSI	I/O	1353.75	
J1-60	CSI_VSYNC	F2	3.3V/NVCC_CSI	I/O	1348.21	
J2-1	VIN_5V		5V/VIN_5V	PWR		
J2-2	VIN_5V		5V/VIN_5V	PWR		
J2-3	SNVS_TAMPER4	P9	3.3V/SNVS_IN	I/O	923.00	

J2-4	PWRBTN	R8	3.3V/SNVS_IN	I		100K pull up in MPU
J2-5	SNVS_TAMPER1	R9	3.3V/SNVS_IN	I/O	785.02	
J2-6	SNVS_TAMPER0	R10	3.3V/SNVS_IN	I/O	752.02	
J2-7	BOOT_MODE0	T10	3.3V/SNVS_IN	I/O	705.37	100K pull down in MPU
J2-8	BOOT_MODE1	U10	3.3V/SNVS_IN	I/O	654.31	100K pull down in MPU
J2-9	SNVS_TAMPER8	N9	3.3V/SNVS_IN	I/O	849.47	
J2-10	SNVS_TAMPER7	N10	3.3V/SNVS_IN	I/O	877.01	
J2-11	SNVS_TAMPER5	N8	3.3V/SNVS_IN	I/O	1037.04	
J2-12	SNVS_TAMPER2	P11	3.3V/SNVS_IN	I/O	910.31	
J2-13	GPIO1_IO02	L14	3.3V/NVCC_3V3	I/O	978.92	
J2-14	GPIO1_IO04	M16	3.3V/NVCC_3V3	I/O	1176.59	
J2-15	GPIO1_IO09	M15	3.3V/NVCC_3V3	I/O	938.84	
J2-16	GPIO1_IO08	N17	3.3V/NVCC_3V3	I/O	960.66	
J2-17	JTAG_TDI	N16	3.3V/NVCC_3V3	I/O	928.65	
J2-18	JTAG_TDO	N15	3.3V/NVCC_3V3	I/O	828.53	
J2-19	JTAG_TCK	M14	3.3V/NVCC_3V3	I/O	770.53	10K pull down
J2-20	JTAG_TMS	P14	3.3V/NVCC_3V3	I/O	695.30	
J2-21	JTAG_TRST_B	N14	3.3V/NVCC_3V3	I/O	668.70	
J2-22	JTAG_MOD	P15	3.3V/NVCC_3V3	I/O	623.76	10K pull down
J2-23	ENET1_TX_DATA0	E15	3.3V/NVCC_3V3	I/O	1342.13	
J2-24	ENET1_RX_DATA1	E17	3.3V/NVCC_3V3	I/O	1018.22	
J2-25	ENET1_RX_EN	E16	3.3V/NVCC_3V3	I/O	1006.93	
J2-26	ENET1_RX_DATA0	F16	3.3V/NVCC_3V3	I/O	1008.26	
J2-27	ENET1_TX_EN	F15	3.3V/NVCC_3V3	I/O	1333.67	
J2-28	ENET1_TX_DATA1	E14	3.3V/NVCC_3V3	I/O	1347.76	
J2-29	ENET1_TX_CLK	F14	3.3V/NVCC_3V3	I/O	1343.51	10ohm in series
J2-30	ENET1_RX_ER	D15	3.3V/NVCC_3V3	I/O	1013.51	
J2-31	UART5_TX_DATA	F17	3.3V/NVCC_3V3	I/O	971.23	
J2-32	UART5_RX_DATA	G13	3.3V/NVCC_3V3	I/O	1085.64	
J2-33	UART4_TX_DATA	G17	3.3V/NVCC_3V3	I/O	908.74	
J2-34	UART4_RX_DATA	G16	3.3V/NVCC_3V3	I/O	952.88	
J2-35	UART3_RTS_B	G14	3.3V/NVCC_3V3	I/O	972.04	
J2-36	UART3_CTS_B	H15	3.3V/NVCC_3V3	I/O	1026.32	
J2-37	UART3_RX_DATA	H16	3.3V/NVCC_3V3	I/O	1245.58	
J2-38	UART3_TX_DATA	H17	3.3V/NVCC_3V3	I/O	1010.03	
J2-39	UART2_CTS_B	J15	3.3V/NVCC_3V3	I/O	1323.24	
J2-40	UART2_RTS_B	H14	3.3V/NVCC_3V3	I/O	1614.01	
J2-41	UART2_RX_DATA	J16	3.3V/NVCC_3V3	I/O	1701.66	
J2-42	UART2_TX_DATA	J17	3.3V/NVCC_3V3	I/O	1007.48	
J2-43	UART1_RTS_B	J14	3.3V/NVCC_3V3	I/O	1835.40	SD1_CD

J2-44	GPIO1_IO06	K17	3.3V/NVCC_3V3	I/O	926.46	
J2-45	GPIO1_IO07	L16	3.3V/NVCC_3V3	I/O	914.25	
J2-46	UART1_RX_DATA	K16	3.3V/NVCC_3V3	I/O	964.86	
J2-47	GPIO1_IO03	L17	3.3V/NVCC_3V3	I/O	1105.24	
J2-48	UART1_CTS_B	K15	3.3V/NVCC_3V3	I/O	1080.04	
J2-49	GPIO1_IO01	L15	3.3V/NVCC_3V3	I/O	998.61	
J2-50	UART1_TX_DATA	K14	3.3V/NVCC_3V3	I/O	991.95	
J2-51	GPIO1_IO00	K13	3.3V/NVCC_3V3	I/O	916.25	
J2-52	USB_OTG1_CHD_B	U16	3.3V/VBUS_3V	I/O	1069.72	
J2-53	USB_OTG1_DN	T15	3.3V/VBUS_3V	I/O	1209.28	
J2-54	USB_OTG1_DP	U15	3.3V/VBUS_3V	I/O	1208.30	
J2-55	USB_OTG2_DN	T13	3.3V/VBUS_3V	I/O	1243.24	
J2-56	USB_OTG2_DP	U13	3.3V/VBUS_3V	I/O	1243.75	
J2-57	USB_OTG1_VBUS	T12	5V/VBUS_5V	PWR		
J2-58	USB_OTG2_VBUS	U12	5V/VBUS_5V	PWR		
J2-59	DGND		GDN/DGND	PWR		
J2-60	DGND		GDN/DGND	PWR		

注：走线长度单位为 mil。

4.3.2. I/O 阻抗控制

一般单端信号阻抗控制在 50 欧姆，差分信号阻抗控制如下表所示。

差分走线阻抗控制表

引脚	引脚名称	走线长度	阻抗控制	说明
J2-53/J2-54	USB_OTG1_DN/USB_OTG1_DP	1209.28/1208.30	90 欧姆	USB 信号
J2-55/J2-56	USB_OTG2_DN/USB_OTG2_DP	1243.24/1243.75	90 欧姆	USB 信号

4.4. 电气特性

4.4.1. 功耗

注：以下参数是在常温环境下对 ECK20-6Y28C5E8-I 核心板进行的测量，测量功耗不包含底板功耗，测量重载功耗时无显示，无底板 SDIO 访问，无网络访问。

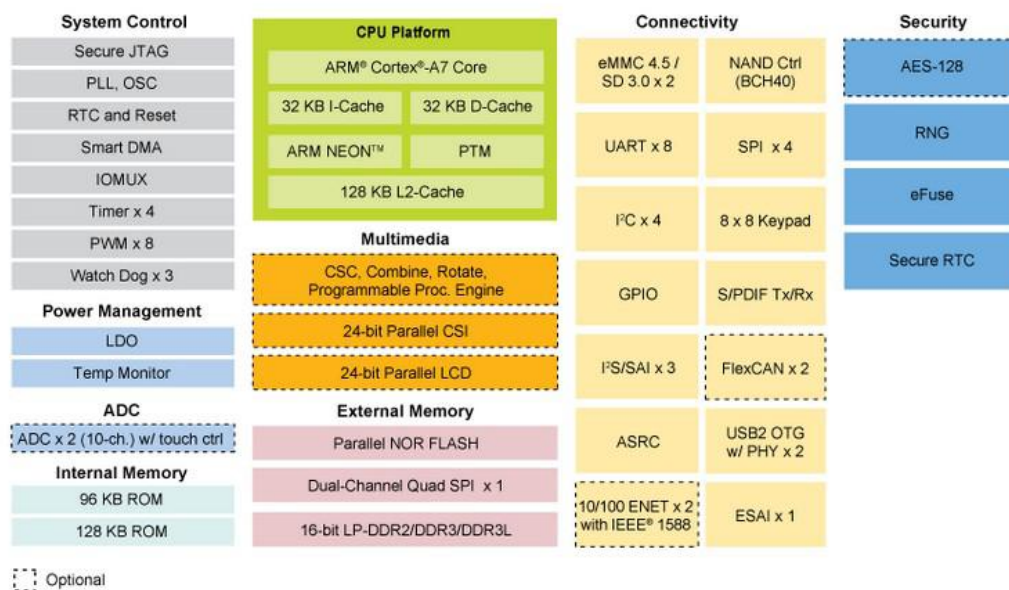
电源功耗表

电源状态	测试环境	电源电压	电流	功耗
PWRUP	系统启动后，无应用运行	5.0V	0.085A	0.427W
PWRUP	软件重载测试	5.0V	0.203A	1.101W
SLEEP	freeze 模式休眠状态	5.0V	0.045A	0.225W
SLEEP	standby 模式休眠状态	5.0V	0.013A	0.055W
SLEEP	mem 模式休眠状态	5.0V	0.005A	0.024W
PWRDN	poweroff 状态功耗	5.0V	0.0003A	0.001W

5. 核心板硬件设计

5.1. 处理器

ECK20-6Y28C 系列核心板选用 i.MX6ULL 系列中的 MCIMX6Y2CVM08AB 处理器。i.MX6ULL 系列是一款基于 ARM Cortex A7 内核的低功耗高性能且低成本的应用处理器。i.MX6ULL 系列相比 i.MX6UL 系列精简了部分加密功能，同时保持了高性价比、超低功率等特点，可以将其看作 i.MX6UL 系列的成本优化版本。i.MX6ULL 系列功能框图如下图。



i.MX6ULL 系列功能框图

MCIMX6Y2CVM08AB 处理器主要特性如下：

- ARM® Cortex®-A7 内核，运行频率 792MHz；
- 16 位 LP-DDR2, DDR3/DDR3L 内存接口；
- 8 位并行 NAND FLASH 接口；
- 16/8 位并行 NOR FLASH 接口；
- 并行 LCD 显示，分辨率高达 WXGA (1366x768)；
- 24/16/10/8 位并行摄像头传感器接口；
- 两个 CAN 接口；
- 一个 Quad SPI NOR FLASH 接口；
- 两个 USB 2.0 OTG 接口；
- 两个 10/100 以太网，支持 IEEE 1588 协议；

- 两个 MMC 4.5/SD 3.0/SDIO 端口；
- 音频接口包括 3 个 I2S/SAI, S/PDIF Tx/Rx；
- 八个 UART 接口；
- 两个 ADC 模块，支持最多 10 个输入通道。

5.2. 内存

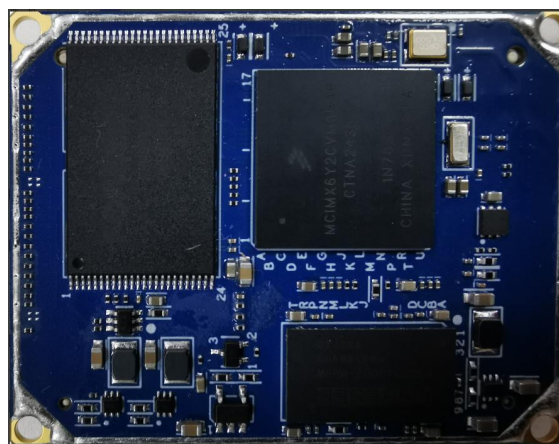
ECK20-6Y28C 系列核心板在板贴装 1 片 DDR3L SDRAM 内存芯片。设计为 16 位内存数据位宽，256MB/512MB 两种容量可选。

5.3. 时钟

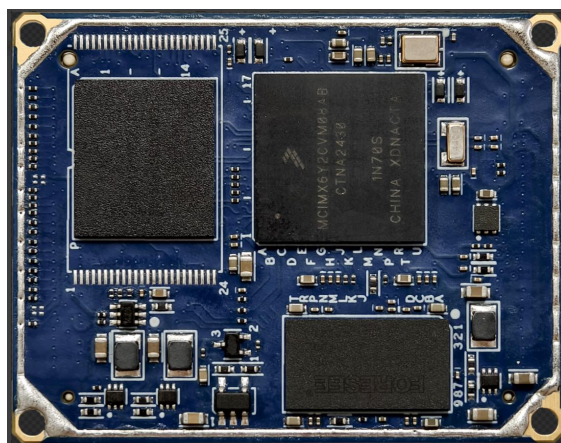
ECK20-6Y28C 系列核心板在板提供 1 个 32.768KHz 晶体（无源）振荡电路和 1 个 24M Hz 晶体（无源）振荡电路，作为处理器系统时钟源。

5.4. 存储

ECK20-6Y28C 系列核心板在板设计有两种存储方案，一种是并行 FLASH 存储方案。这种存储方案选用 SLC NAND FLASH 芯片作为存储介质，具备低成本和高可靠性的特点。另一种是 eMMC 存储方案。这种存储方案选用 eMMC 芯片作为存储介质，具备存储容量大、单位存储成本低和使用方便的特点。因两种存储方案复用了相同的 I/O 资源，一种型号的核心板产品只支持一种存储方案。用户需要根据具体项目对存储的要求，选用对应型号的核心板产品。两种存储方案对应产品实物图如下图所示。



NAND FLASH 版本无屏蔽罩实物图



eMMC 版本无屏蔽罩实物图

eMMC 存储器连接到 USDHC2 功能接口上，与 NAND 接口复用 I/O 引脚。eMMC 芯片和处理器接口信号电平只支持 3.3V 电平，不支持 1.8V 电平，因此 USDHC2 接口最大只支持 50MHz 时钟频率，软件应注意 USDHC2 的参数配置。

5.4.1. 复用 I/O 分配

存储 I/O 分配表

MPU I/O 引脚	NAND 功能	eMMC 功能
D7	NAND_DATA0	eMMC_DATA0
B7	NAND_DATA1	eMMC_DATA1
A7	NAND_DATA2	eMMC_DATA2
D6	NAND_DATA3	eMMC_DATA3
C6	NAND_DATA4	eMMC_DATA4
B6	NAND_DATA5	eMMC_DATA5
A6	NAND_DATA6	eMMC_DATA6
A5	NAND_DATA7	eMMC_DATA7
A3	NAND_nREADY	
D8	NAND_nRE	eMMC_CLK
C5	NAND_nCE0	
B5	NAND_nCE1	
A4	NAND_CLE	
B4	NAND_ALE	eMMC_RST#
C8	NAND_nWE	eMMC_CMD
D5	NAND_nWP	
E6	NAND_DQS	

5.5.看门狗

ECK20-6Y28C 系列核心板板内支持 1 路看门狗功能。看门狗超时输出可在 RESETN 信号引脚上产生一个低电平脉冲（约 1.6ms 宽），并引起系统复位。

5.6. 电源

ECK20-6Y28C 系列核心板采用分离电源方案，严格按照 i.MX6ULL 手册中的电压、功率和时序要求进行设计。ECK20-6Y28C 系列核心板电源方案支持 SD1 I/O 接口电压自动调节，根据 SDIO 速率的要求自动选择 3.3V 或 1.8V I/O 供电电压。ECK20-6Y28C 系列核心板电源方案不支持 CPU 核电电压动态调整功能。

5.6.1. 电源域

ECK20-6Y28C 系列核心板采用单路直流+5V 电源供电，外部只需要提供 VIN_5V 一路电源输入，其他电源都由核心板内部产生，无需额外供电。电源轨所属电源域和典型电压如下表所示。其中 SNVS 电源域最先上电，NVCC 电源域滞后 SNVS 电源域上电，VBUS 电源域可在任意时刻上电。在使用核心板时，应注意信号所属的电源域，和各电源域的上电顺序。

电源域表

电源名称	电源描述	典型电压	电源域
VIN_5V	核心板 5V 主电源输入	5.0V	SNVS
SNVS_IN	SNVS 电源轨	3.3V	SNVS
NVCC_3V3/CSI	I/O 接口电源轨	3.3V	NVCC
NVCC_SD	SDIO 接口电源轨	1.8V/3.3V	NVCC
VBUS_5V	USB 接口 5V 电源轨	5.0V	VBUS
VBUS_3V	USB 接口 3V 电源轨	3.3V	VBUS

5.6.2. 复用 I/O 分配

电源 I/O 分配表

MPU I/O 引脚	网络名称	功能
T9	SNVS_PMIC_ON_REQ	处理器电源管理输出
M17	GPIO1_IO05	SD1 I/O 电压调整

6. 底板硬件设计

6.1. 电源接口

对于嵌入式产品设计，电源系统的设计至关重要，不但需要考虑电源本身的基本电气参数，还要考虑电源的稳定性设计、时序设计等多种因素。ECK20-6Y28C 系列核心板采用了单电源供电方案，并提供电源时序管理信号，尽量简化用户底板电源设计。

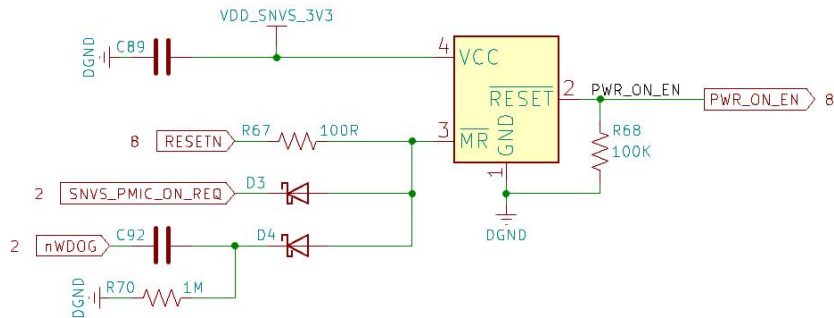
6.1.1. 电源输入

ECK20-6Y28C 系列核心板采用单路直流+5V 电源供电，对应 BTB 连接器的 J2-1、J2-2 引脚。供电电压范围为 $5.0V \pm 10\%$ 。ECK20-6Y28C 系列核心板正常功耗为 1W 左右，底板在对核心板供电电源设计时，要考虑 I/O 和更多功能同时运行时功耗的增加，要考虑高温下元器件功耗的增加，所以建议核心板供电电流设计为 0.5A 左右。

如果采用 DC-DC 电源对核心板供电，在电源设计时电源功率裕度也不应太大。如果电源设计功率太大，很多电源为保证转换效率，会工作在不连续 PWM 模式下，输出电源纹波会显著增大，不利于数字信号系统的工作稳定性。如果采用 LDO 对核心板供电，设计时应考虑 LDO 自身的功率损耗和工作温升，防止在高温环境或散热不好的环境中工作时，LDO 电源超温停止工作或烧毁。

6.1.2. 电源控制

ECK20-6Y28C 系列核心板输出一路电源管理控制信号 PWR_ON_EN。该信号有效（高电平）时，表示 NVCC 电源域电源使能。用户底板可以通过该信号控制底板相关电源域的电开始工作。PWR_ON_EN 信号在手动复位有效（低电平）时，或者 SNVS_PMIC_ON_REQ 信号无效（低电平），或者看门狗超时信号有效（低电平）时无效。PWR_ON_EN 产生电路如下图所示。



PWR_ON_EN 产生电路

注意：由于复位（该产品复位设计为冷复位，会引起部分电源关闭）、开关电源操作都会导致电源系统部分或全部掉电。一些电路由于电容的存在，或电路设计要求，电源不能快速降低到 0V，需要一段时间放电。如果短时间内多次复位、或者多次开关电源，可能会导致一些 I/O 接口或芯片上电状态异常，引起不启动或更严重的故障。建议复位或开关机间隔时间大于 2-3 秒以上。

在底板电源设计时，应注意 I/O 信号的电源轨、工作电平、上电时序等特性。本手册中引脚定义表格中详细描述了核心板 I/O 接口的电平、电源轨等特性。在核心板 I/O 信号与底

板芯片连接时，要确定芯片引脚与核心板 I/O 是不是相同电平，是不是相同的电源轨或上电时间域。错误的电平或者上电时间域的两个 I/O 信号连接在一起，可能会导致通讯故障，降低 I/O 接口寿命，或者损坏 I/O 接口。例如市面上有些开发板产品在设计 CAN 接口时，将核心板 3.3V 的 I/O 信号连接到由 5V 电源（核心板供电电源）供电的 CAN 接口芯片上。这个设计存在两个问题，一个是核心板 3.3V 的 I/O 信号可能不能容忍 CAN 接口芯片的 5V 信号，导致通讯不稳定或 I/O 损坏；另一个是 5V 电源先于 3.3V 的 I/O 上电，他们不是同一时间域的。在 5V 上电后 3.3V 未上电时，5V 电源就会通过 I/O 连接进入 3.3V 电源网络，使 3.3V 电源网络电压升高，可能会导致部分器件启动异常或 I/O 接口损坏。

6.1.3. 备份电源

VBAT 是备用电池接口，对应 BTB 连接器的 J1-42 脚，可以外接 RTC 电池供电。其作用是当核心板 5V 电源掉电后，通过外部电池供电给核心板 SNVS 电源域，可以保持处理器内部 RTC 功能、电源管理功能、部分配置寄存器的正常运行。VBAT 的电压范围为 2.6-3.3 V。VBAT 备用电池接口到处理器 VDD_SNVS_IN 引脚之间串联有二极管，如果 VBAT 外接电池供电时，底板不用再串联二极管。

由于处理器掉电后，SNVS 电源域功耗较大，如果使用外部 RTC 电池供电，会导致 RTC 电池寿命过短，NXP 建议使用外部 RTC 电路实现 RTC 功能。如果使用外部 RTC 电路，VBAT 引脚可悬空。

6.1.4. 引脚定义

电源引脚定义表

引脚	网络名称	电平/电源轨	类型	说明
29	VIN_5V	5V/VIN_5V	PWR	
30	VIN_5V	5V/VIN_5V	PWR	
78	VBAT	3.3V/SNVS_IN	PWR	串联二极管
79	PWR_ON_EN	3.3V/SNVS_IN	O	

6.2. 启动配置

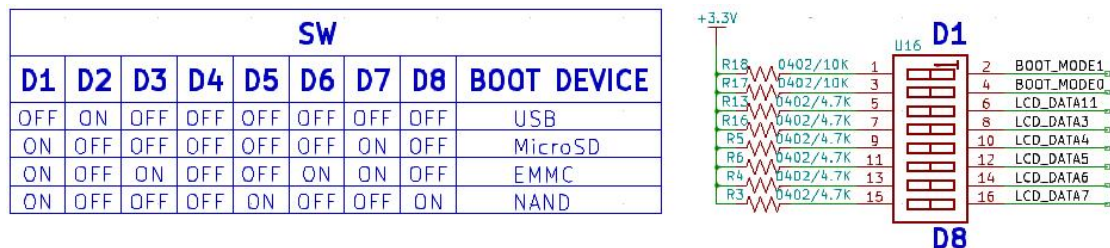
i.MX6ULL 处理器启动时会首先执行芯片内部 Boot ROM 中的程序。Boot ROM 会根据 BOOT_MODE 寄存器、eFUSEs、配置管脚等状态来决定启动模式以及启动设备。

BOOT_MODE 寄存器的值取决于初始上电阶段 BOOT_MODE0 和 BOOT_MODE1 两个管脚的电平，以此决定启动模式，具体对应关系如下表：

BOOT_MODE 启动模式配置表

BOOT_MODE[1:0]	启动模式	启动模式说明
00	Boot From Fuses	从内部 Fuses 读取启动信息，建议量产时用此方式出货。
01	Serial Downloader	支持从 USB_OTG1 口下载程序到 Flash。需要注意的是此模式下，UART1 和 UART2 的优先级高于 USB_OTG，如果在此模式下，UART1 和 UART2 串口检测到了数据，则下载器无法从 USB 烧写程序，电脑无法检测到设备。
10	Internal Boot	从 Boot Mode 引脚读取启动配置，推荐用于开发模式，也可以用此模式进行量产。
11	Reserved	保留模式。

通常将 BOOT 模式设置为 internal Boot 模式，在此模式下 CPU 在上电复位时会读取 LCD_DATA0-DATA23 管脚的电平状态来决定启动的设备。ECK20-6Y28C 系列核心板内部已经对 LCD_DATA0-DATA23 做了下拉处理，底板设计时只需要对个别引脚进行配置。底板 BOOT 设备选择配置参考电路如下图所示。



BOOT 配置电路

LCD_DATA0-DATA7 管脚，对应 BOOT 配置功能 BOOT_CFG1[0]-CFG1[7]。LCD_DATA8-DATA15 管脚，对应 BOOT 配置功能 BOOT_CFG2[0]-CFG2[7]。LCD_DATA16-DATA23 管脚，对应 BOOT 配置功能 BOOT_CFG4[0]-CFG4[7]。BOOT_CFG 配置功能如下图所示。

	0/1	0/1	0/1	1	0	0	0	0
TYPE	BOOT_CFG1[7]	BOOT_CFG1[6]	BOOT_CFG1[5]	BOOT_CFG1[4]	BOOT_CFG1[3]	BOOT_CFG1[2]	BOOT_CFG1[1]	BOOT_CFG1[0]
QSPI	0	0	0	1	Reserved	DDRSMP: "000": Default "001-111"		
WEIM	0	0	0	0	Memory Type: 0 - NOR Flash 1 - OneNAND	Reserved	Reserved	Reserved
Serial-ROM	0	0	1	1	Reserved	Reserved	Reserved	Reserved
SD/eSD	0	1	0	Fast Boot: 0 - Regular 1 - Fast Boot	SD/SDHC Speed 00 - Normal/SDR12 01 - High/SDR25 10 - SDR50 11 - SDR104	SD Power Cycle Enable 0 - No power cycle 1 - Enabled via USDHC_RST pad (uSDHC3 & 4 only)	SD Loopback Clock Source Self for SDR50 and SDR104 only 0 - through SD pad 1 - direct	
MMC/eMMC	0	1	1		SD/MMC Speed 0 - High 1 - Normal	Fast Boot Acknowledge Disable: 0 - Boot Ack Enabled 1 - Boot Ack Disabled	SD Power Cycle Enable 0 - No power cycle 1 - Enabled via USDHC_RST pad (uSDHC3 & 4 only)	SD Loopback Clock Source Self for SDR50 and SDR104 only 0 - through SD pad 1 - direct
NAND	1	BT_TOGGLEMODE	Pages in Block: 00 - 128 01 - 64 10 - 32 11 - 256		Nand Number Of Devices: 00 - 1 01 - 2 10 - 4 11 - Reserved		Nand Row address bytes: 00 - 3 01 - 2 10 - 4 11 - 5	

BOOT_CFG1 配置图

TYPE	BOOT_CFG2[7]	BOOT_CFG2[6]	BOOT_CFG2[5]	BOOT_CFG2[4]	BOOT_CFG2[3]	BOOT_CFG2[2]	BOOT_CFG2[1]	BOOT_CFG2[0]
QSPI	Reserved	QSPI: Half-Speed Phase Selection 0: select sampling at non-inverted clock 1: select sampling at inverted clock	QSPI: Half-Speed Delay Selection 0: two clock delay 1: two clock delay	QSPI: Full-Speed Phase Selection 0: select sampling at non-inverted clock 1: select sampling at inverted clock	QSPI: Full-Speed Delay Selection 0: one clock delay 1: two clock delay	Boot Frequencies (ARM/DSP) 0: 500 / 400 MHz 1: 250 / 200 MHz	Reserved	Reserved
WEIM		Muxing Scheme: 00: A/D16 01: A+D8 10: A+D8 11: Reserved	Overlaid Page Size: 00: 1KB 01: 2KB 10: 4KB 11: Reserved		Reserved	Boot Frequencies (ARM/DSP) 0: 500 / 400 MHz 1: 250 / 200 MHz	Reserved	Reserved
Serial-ROM	Reserved	Reserved	Reserved	Reserved	Reserved	Boot Frequencies (ARM/DSP) 0: 500 / 400 MHz 1: 250 / 200 MHz	Reserved	Reserved
SD/eSD	SD Calibration Step '00' - 1 TBD		Bus Width: 0 - 1-bit 1 - 4-bit		Port Select: 00: eSDHC1 01: eSDHC2 10: Reserved 11: Reserved	Boot Frequencies (ARM/DSP) 0: 500 / 400 MHz 1: 250 / 200 MHz	SD1 VOLTAGE SELECTION 0: 3.3V 1: 1.8V	Reserved
MMC/eMMC	Bus Width: 000: 1-bit 001: 4-bit 010: 8-bit 011: 4-bit (DDR (MMC 4.4)) 100: 8-bit (DDR (MMC 4.4)) 101: 8-bit (DDR (MMC 4.4)) 110: 8-bit (DDR (MMC 4.4)) 111: Reserved				Port Select: 00: eSDHC1 01: eSDHC2 10: Reserved 11: Reserved	Boot Frequencies (ARM/DSP) 0: 500 / 400 MHz 1: 250 / 200 MHz	SD1 VOLTAGE SELECTION 0: 3.3V 1: 1.8V	Reserved
NAND	Toggle Mode: 10ns/10ns Readable Delay, Read Latency: '000' - 16 GP/CLK cycles '001' - 1 GP/CLK cycles '010' - 2 GP/CLK cycles '011' - 3 GP/CLK cycles '100' - 4 GP/CLK cycles '101' - 5 GP/CLK cycles '110' - 6 GP/CLK cycles '111' - 7 GP/CLK cycles				BOOT_SEARCH_COUNT: 00: 2 01: 3 10: 4 11: 8	Boot Frequencies (ARM/DSP) 0: 500 / 400 MHz 1: 250 / 200 MHz	Reset Time 0: 10ms 1: 20ms (LBA NAND)	Reserved

BOOT_CFG2 配置图

0		0		0		0		0		0	
TYPE	BOOT_CFG4[7]	BOOT_CFG4[6]	BOOT_CFG4[5]	BOOT_CFG4[4]	BOOT_CFG4[3]	BOOT_CFG4[2]	BOOT_CFG4[1]		BOOT_CFG4[0]		
0x450	Infini-Loop (Debug USE only) 0 - Disable 1 - Enable	EEPROM Recovery Enable 0 - Disabled 1 - Enabled	CS select (SPI only): 00 - CS#0 (default) 01 - CS#1 10 - CS#2 11 - CS#3		SPI Addressing: 0 - 2-bytes (16-bit) 1 - 3-bytes (24-bit)		Port Select: 000 - eCS#1 001 - eCS#2 010 - eCS#3 011 - eCS#4 100 - Reserved 101 - Reserved 110 - Reserved 111 - Reserved				
0x460	L2_HW_INVALIDATE_DISABLE	Reserved	FORCE_COLD_BOOT (Reflected in SBMR2)	BT_FUSE_SEL	DIR_BT_DIS	Reserved	SEC_CONFIG[1]		Reserved		
0x460Reserved (DDR3 config options)											
0x460	JTAG_SMODE[1:0]	WDG_ENABLE 0 - Disabled 1 - Enabled	SJC_DISABLE	Reserved	Reserved	Reserved	Reserved		Reserved		
0x460	Reserved	Reserved	Reserved	TZASC_ENABLE	JTAG_HEO	KTE	Reserved		DLL_ENABLE 0 - Disable DLL for SD/eMMC 1 - Enable DLL for SD/eMMC		
0x470	DLL Override: 0 - DLL Slave Mode for SD/eMMC 1 - DLL Override Mode for SD/eMMC	Reserved	SD2 VOLTAGE SELECTION 0 - 3.3V 1 - 1.8V	Reserved	Disable SDMMC Manufacture mode 0 - Enable 1 - Disable	L1 I-Cache DISABLE	BT MMU_DISABLE		Override Pad Settings (using PAD_SETTINGS value)		
0x470	Reserved for unexpected requirements	eMMC 4.4 - RESET TO PRE-IDLE STATE	Override HYS bit for SD/MMC pads	USDHG_PAD_PULL_DOWN 0 - no action 1 - pull down	ENABLE_EMMC_22K_PULLUP 0 - 47K pullup 1 - 22K pullup	ADD_DS_SET_GPR1_16 0 - Set 1 - Don't set	USDHG_IOMUX_SIG_BIT_ENABLE/USDHG_IOMUX_SRE Enable 0 - Disable 1 - Enable		0 - Disable 1 - Enable		
0x470	USDHG_CMD_OE_PRE_EN (SD/MMC debug)	LPB_BOOT (Core / DDR-Bus) 00 - LPB Disable 01 - 1 GPIO (sd freq) 10 - Div by 2 11 - Div by 4	BT_LPB_POLARITY (GPIO polarity)		POWER_MNG_CFG (LDO's DCDC's) (Reserved - NOT USED)						
0x470	Override NAND Pad Settings (using PAD_SETTINGS value)	MMC_DLL_DLY[6:0] Delay target for SD/eMMC DLL, it is applied to slave mode target delay or override mode target delay depends on DLL Override fuse bit value.									

BOOT_CFG4 配置图

6.2.1. 引脚定义

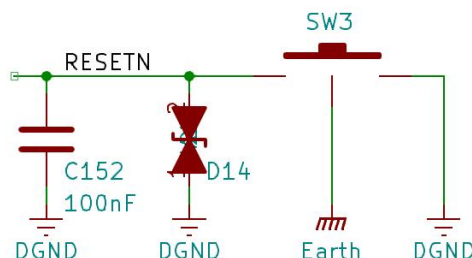
启动配置引脚定义表

引脚	网络名称	MPU	电平/电源轨	类型	走线长度	说明
23	BOOT_MODE1	U10	3.3V/SNVS_IN	I	654.31	芯片内下拉 100K
24	BOOT_MODE0	T10	3.3V/SNVS_IN	I	705.37	芯片内下拉 100K
107	LCD_DATA07	D11	3.3V/NVCC_3V3	I/O	1117.90	下拉 47K 电阻
108	LCD_DATA06	A10	3.3V/NVCC_3V3	I/O	1118.25	下拉 47K 电阻
109	LCD_DATA05	B10	3.3V/NVCC_3V3	I/O	1118.87	下拉 47K 电阻
110	LCD_DATA04	C10	3.3V/NVCC_3V3	I/O	1117.53	下拉 47K 电阻
111	LCD_DATA03	D10	3.3V/NVCC_3V3	I/O	1121.35	下拉 47K 电阻
103	LCD_DATA11	D12	3.3V/NVCC_3V3	I/O	1116.43	下拉 47K 电阻

6.3. 复位和电源按键

ECK20-6Y28C 系列核心板引出的 PWRBTN、RESETN 两个信号可以连接外部按键，用于实现对处理器的复位和电源控制。

RESETN 信号在核心板内设计有去抖动电路和上拉电阻。PWRBTN 信号在核心板内连接到处理器芯片 ONOFF 引脚，处理器芯片内有上拉电阻。由于这两个信号在核心板内都有上拉电阻，所以在底板应用时不要再连接上拉电阻，直接连接按键，或者通过 OD 门驱动。按键参考原理图如下图所示。



按键参考原理图

注：复位和电源按键信号不要随意通过电阻上拉。如果上拉电源轨不正确，会导致在系统待机或关机的时候，引起不确定信号输入到按键信号接口。例如一些底板设计时将 PWRBTN 信号上拉到 NVCC_3V3 电源上。当系统关机后，NVCC_3V3 电源也被关闭，这时 NVCC_3V3 电源电压降低到 0V，PWRBTN 信号上拉 NVCC_3V3 电源就变成了下拉到地，等同于按下 PWRBTN 键，系统又重新开机，最终导致系统无法正常软件关机。

6.3.1. 引脚定义

按键引脚定义表

引脚	网络名称	MPU	电平/电源轨	类型	说明
27	PWRBTN	R8	3.3V/SNVS_IN	I	芯片内上拉 100K
80	RESETN		3.3V/SNVS_IN	I	芯片内上拉 50K

6.4. 显示接口

ECK20-6Y28C 系列核心板提供一路并行 LCD 显示接口，最大分辨率支持 1366x768@60fps，最大像素时钟支持 85MHz。支持 24/18/16/8 位并行显示。客户可以根据自己的需求配置显示分辨率和显示数据格式。在 LCD 和 TFT 屏应用中，可以使用 GPIO 控制屏幕电源和背光电源。可以使用 PWM 输出控制背光亮度。还可以使用 I2C 和 GPIO 外部中断功能连接触摸屏。可选用亿佰特的液晶触摸屏模块配合使用，相关模块信息详见官网 <https://www.ebyte.com/>。

6.4.1. 接口定义

显示接口定义表

引脚	网络名称	MPU	电平/电源轨	类型	走线长度	说明
15	LCD_ENABLE	B8	3.3V/NVCC_3V3	I/O	1114.93	
75	LCD_CLK	A8	3.3V/NVCC_3V3	I/O	1119.18	串联 10 欧电阻
76	LCD_HSYNC	D9	3.3V/NVCC_3V3	I/O	1117.66	
77	LCD_VSYNC	C9	3.3V/NVCC_3V3	I/O	1121.21	
91	LCD_DATA23	B16	3.3V/NVCC_3V3	I/O	1115.26	下拉 47K 电阻
92	LCD_DATA22	A14	3.3V/NVCC_3V3	I/O	1121.90	下拉 47K 电阻
93	LCD_DATA21	B14	3.3V/NVCC_3V3	I/O	1121.71	下拉 47K 电阻
94	LCD_DATA20	C14	3.3V/NVCC_3V3	I/O	1123.00	下拉 47K 电阻
95	LCD_DATA19	D14	3.3V/NVCC_3V3	I/O	1112.36	下拉 47K 电阻
96	LCD_DATA18	A13	3.3V/NVCC_3V3	I/O	1112.83	下拉 47K 电阻
97	LCD_DATA17	B13	3.3V/NVCC_3V3	I/O	1113.94	下拉 47K 电阻
98	LCD_DATA16	C13	3.3V/NVCC_3V3	I/O	1115.45	下拉 47K 电阻
99	LCD_DATA15	D13	3.3V/NVCC_3V3	I/O	1119.49	下拉 47K 电阻
100	LCD_DATA14	A12	3.3V/NVCC_3V3	I/O	1116.77	下拉 47K 电阻
101	LCD_DATA13	B12	3.3V/NVCC_3V3	I/O	1111.69	下拉 47K 电阻
102	LCD_DATA12	C12	3.3V/NVCC_3V3	I/O	1111.73	下拉 47K 电阻
103	LCD_DATA11	D12	3.3V/NVCC_3V3	I/O	1116.43	下拉 47K 电阻
104	LCD_DATA10	E12	3.3V/NVCC_3V3	I/O	1118.52	下拉 47K 电阻
105	LCD_DATA09	A11	3.3V/NVCC_3V3	I/O	1120.64	下拉 47K 电阻
106	LCD_DATA08	B11	3.3V/NVCC_3V3	I/O	1116.88	下拉 47K 电阻
107	LCD_DATA07	D11	3.3V/NVCC_3V3	I/O	1117.90	下拉 47K 电阻
108	LCD_DATA06	A10	3.3V/NVCC_3V3	I/O	1118.25	下拉 47K 电阻
109	LCD_DATA05	B10	3.3V/NVCC_3V3	I/O	1118.87	下拉 47K 电阻
110	LCD_DATA04	C10	3.3V/NVCC_3V3	I/O	1117.53	下拉 47K 电阻
111	LCD_DATA03	D10	3.3V/NVCC_3V3	I/O	1121.35	下拉 47K 电阻
112	LCD_DATA02	E10	3.3V/NVCC_3V3	I/O	1120.91	下拉 47K 电阻
113	LCD_DATA01	A9	3.3V/NVCC_3V3	I/O	1120.26	下拉 47K 电阻
114	LCD_DATA00	B9	3.3V/NVCC_3V3	I/O	1126.87	下拉 47K 电阻

6.4.2. LAYOUT 建议

- 如果底板 LCD 信号设计有串联匹配电阻，建议靠近核心板 BTB 连接器放置；
- LCD 信号在核心板内已做等长处理，核心板内走线长度见引脚定义表；
- 核心板内 LCD 信号按照单端 $50\Omega \pm 10\%$ 阻抗控制，底板阻抗控制建议保持一致；
- 建议底板 LCD 信号走线做等长控制，误差范围 $\pm 100\text{mil}$ ，信号线间距至少 2W。

6.5. 摄像头接口

ECK20-6Y28C 系列核心板 CSI 接口支持 8 位或者 24 位的 YCbCr、YUV、RGB 格式数

据输入；8 位、10 位或者 16 位的 Bayer 格式数据输入，最大像素时钟为 133.3MHz。摄像头接口在应用中会占用大量 I/O 引脚，减少其他复用功能，这里推荐使用 USB 接口摄像头实现摄像头功能。

6.5.1. 接口定义

摄像头接口定义表

引脚	网络名称	MPU	电平/电源轨	类型	走线长度	说明
119	CSI_MCLK	F5	3.3V/NVCC_CSI	I/O	1350.47	CSI 主时钟
116	CSI_PIXCLK	E5	3.3V/NVCC_CSI	I/O	1348.42	CSI 像素时钟
1	CSI_VSYNC	F2	3.3V/NVCC_CSI	I/O	1348.21	CSI 垂直同步信号
120	CSI_HSYNC	F3	3.3V/NVCC_CSI	I/O	1346.67	CSI 水平同步信号
5	CSI_DATA00	E4	3.3V/NVCC_CSI	I/O	1354.05	CSI 数据位
4	CSI_DATA01	E3	3.3V/NVCC_CSI	I/O	1356.27	CSI 数据位
118	CSI_DATA02	E2	3.3V/NVCC_CSI	I/O	1349.88	CSI 数据位
2	CSI_DATA03	E1	3.3V/NVCC_CSI	I/O	1353.75	CSI 数据位
6	CSI_DATA04	D4	3.3V/NVCC_CSI	I/O	1353.49	CSI 数据位
115	CSI_DATA05	D3	3.3V/NVCC_CSI	I/O	1351.41	CSI 数据位
117	CSI_DATA06	D2	3.3V/NVCC_CSI	I/O	1344.27	CSI 数据位
3	CSI_DATA07	D1	3.3V/NVCC_CSI	I/O	1347.28	CSI 数据位

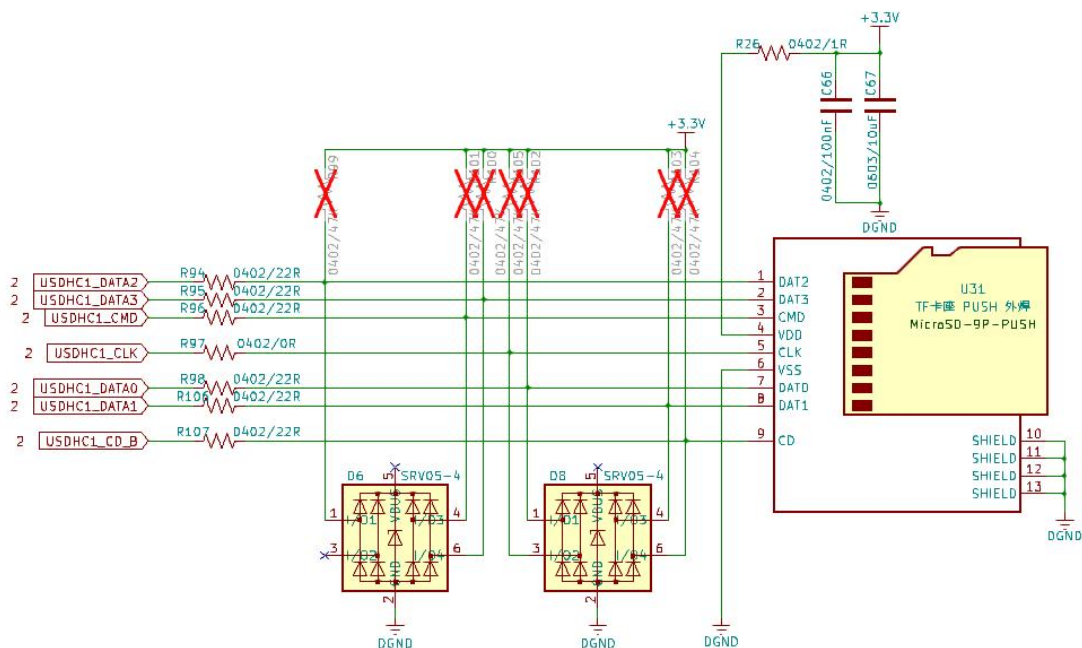
6.6.uSDHC 卡接口

ECK20-6Y28C 系列核心板搭载了 2 路 uSDHC 接口，uSDHC 接口（Ultra Secured Digital Host Controller）是 NXP 公司特有的安全数字主机接口，提供了处理器和外部 SD/SDIO/MMC 接口设备的安全通讯方式。

处理器的 uSDHC 1 功能对外引出，可用作 SD 卡启动或者 SDIO 通讯。uSDHC 2 只有在采用 NAND FLASH 存储方案的核心板上，通过 I/O 复用对外引出，在采用 eMMC 存储方案的核心板上，uSDHC 2 功能被占用，不能对外引出。

ECK20-6Y28C 系列核心板 uSDHC 1 接口功能可支持 I/O 电源自动调整。uSDHC 1 接口 I/O 电平通过 GPIO1_IO05 进行调整，可支持 3.3V 和 1.8V 两种电平。在 1.8V 电平下，uSDHC 1 接口最大支持 150MHz 时钟频率。

处理器的 I/O 可以配置片内上拉电阻。这些上拉电阻可满足 SD 卡接口扩展时的上拉需求，用户设计无需外部上拉电阻。核心板在 uSDHC 的时钟信号上已经串联了 10 欧姆匹配电阻，用户设计也无需外部串联电阻。通过 uSDHC 接口扩展 Micro SD 卡，可参考以下原理图设计。



SD 卡参考电路图

6.6.1. 引脚定义

uSDHC 接口信号引脚定义

引脚	网络名称	MPU	电平/电源轨	类型	走线长度	说明
7	SD1_CLK	C1	3.3V/1.8V/NVCC_SD	I/O	1155.73	串联 10 欧电阻
8	SD1_CMD	C2	3.3V/1.8V/NVCC_SD	I/O	1149.57	上拉 10K 电阻
9	SD1_DATA2	B1	3.3V/1.8V/NVCC_SD	I/O	1151.28	
10	SD1_DATA3	A2	3.3V/1.8V/NVCC_SD	I/O	1152.75	
11	SD1_DATA1	B2	3.3V/1.8V/NVCC_SD	I/O	1149.15	
12	SD1_DATA0	B3	3.3V/1.8V/NVCC_SD	I/O	1150.61	上拉 10K 电阻
14	GPIO1_IO05	M17	3.3V/NVCC_3V3	I/O	2700.36	SD1_VSELECT
47	UART1_RTS_B	J14	3.3V/NVCC_3V3	I/O	1835.40	SD1_CD

6.6.2. LAYOUT 建议

- ❖ 核心板内 uSDHC 信号按照单端 $50\Omega \pm 10\%$ 阻抗控制，底板阻抗控制建议保持一致；
- ❖ uSDHC 信号在核心板内已做等长处理，核心板内走线长度见引脚定义表；
- ❖ 建议底板 uSDHC 信号（不含插入检测信号）走线做等长控制，误差范围 $\pm 100\text{mil}$ ，信号线间距至少 2W。
- ❖ 时钟信号与其他信号的距离遵循 3W 规则。

6.7.USB 接口

ECK20-6Y28C 系列核心板支持 2 路 USB 2.0 OTG 接口。如果用户使用 USB 的 OTG

功能，则 USB 接口推荐使用 MICRO USB 接口，因为该接口是 5 线接口，有 USB_ID（可通过 GPIO 功能复用实现）信号，可以用来识别 HOST 和 DEVICE，从而实现 OTG 功能。如果用户不使用 USB 的 OTG 功能，只当做 USB HOST 使用，那么 USB 接口选择 4 线、5 线的接口都可以。

USB_OTGx_VBUS 是处理器 USB 接口 I/O 供电电源。使用 USB 功能需要通过这两个引脚对 USB 接口 I/O 供电，供电电压 $5.0V \pm 10\%$ ，供电电流最大 50mA。

6.7.1. 引脚定义

USB 接口信号引脚定义

引脚	网络名称	MPU	电平/电源轨	类型	走线长度	说明
32	USB_OTG2_VBUS	U12	5V/VBUS_5V	PWR		VBUS 电源输入
33	USB_OTG1_VBUS	T12	5V/VBUS_5V	PWR		VBUS 电源输入
34	USB_OTG2_DP	U13	3.3V/VBUS_3V	I/O	1243.75	
35	USB_OTG2_DN	T13	3.3V/VBUS_3V	I/O	1243.24	
36	USB_OTG1_DP	U15	3.3V/VBUS_3V	I/O	1208.30	
37	USB_OTG1_DN	T15	3.3V/VBUS_3V	I/O	1209.28	
38	USB_OTG1_CHD_B	U16	3.3V/VBUS_3V	I/O		

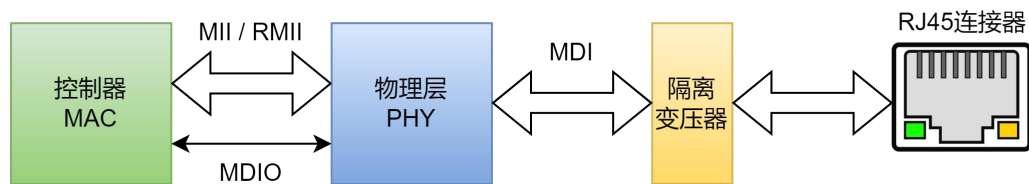
6.7.2. LAYOUT 建议

- ❖USB 信号走线做等长控制；
- ❖USB 信号的差分阻抗按 90Ω 控制；
- ❖USB 信号线尽可能短。

6.8. 以太网接口

ECK20-6Y28C 系列核心板支持 2 路 10M/100M 以太网控制器。以太网控制器支持 RMI I 与 MII 接口。RMII 接口的信号线数量比 MII 接口减少一半，可以简化设计，节省资源，因此核心板推荐采用 RMII 接口与以太网 PHY 连接。

通常一个 RJ45 以太网接口主要由以太网控制器 MAC（Media Access Control），以太网物理层接口 PHY（Physical Layer），以太网变压器，RJ45 连接器几部分组成，如下图所示。



RJ45 以太网组成

ECK20-6Y28C 系列核心板板内没有设计以太网 PHY 电路，用户使用以太网功能，需要在底板上设计 PHY 接口芯片电路。底板 PHY 接口芯片电路设计可以参考亿佰特 i.MX6ULL 单板机产品图纸。

6.8.1. 引脚定义

以太网接口信号引脚定义

引脚	网络名称	MPU	电平/电源轨	类型	走线长度	说明
60	ENET1_RX_ER	D15	3.3V/NVCC_3V3	I/O	1013.51	RMII 信号
61	ENET1_TX_CLK	F14	3.3V/NVCC_3V3	I/O	1343.51	RMII 信号，串联 10 欧电阻
62	ENET1_TX_DATA1	E14	3.3V/NVCC_3V3	I/O	1347.76	RMII 信号
63	ENET1_TX_EN	F15	3.3V/NVCC_3V3	I/O	1333.67	RMII 信号
64	ENET1_RX_DATA0	F16	3.3V/NVCC_3V3	I/O	1008.26	RMII 信号
65	ENET1_RX_EN	E16	3.3V/NVCC_3V3	I/O	1006.93	RMII 信号
66	ENET1_RX_DATA1	E17	3.3V/NVCC_3V3	I/O	1018.22	RMII 信号
67	ENET1_TX_DATA0	E15	3.3V/NVCC_3V3	I/O	1342.13	RMII 信号
82	ENET2_RX_DATA0	C17	3.3V/NVCC_3V3	I/O	1513.40	RMII 信号
83	ENET2_RX_DATA1	C16	3.3V/NVCC_3V3	I/O	1504.76	RMII 信号
84	ENET2_TX_DATA0	A15	3.3V/NVCC_3V3	I/O	1069.09	RMII 信号
85	ENET2_TX_DATA1	A16	3.3V/NVCC_3V3	I/O	1066.33	RMII 信号
86	ENET2_RX_ER	D16	3.3V/NVCC_3V3	I/O	1514.31	RMII 信号
87	ENET2_RX_EN	B17	3.3V/NVCC_3V3	I/O	1507.52	RMII 信号
88	ENET2_TX_EN	B15	3.3V/NVCC_3V3	I/O	1070.66	RMII 信号
89	ENET2_TX_CLK	D17	3.3V/NVCC_3V3	I/O	1072.76	RMII 信号，串联 10 欧电阻
45	GPIO1_IO07	L16	3.3V/NVCC_3V3	I/O	914.25	ENET_MDC
46	GPIO1_IO06	K17	3.3V/NVCC_3V3	I/O	926.46	ENET_MDIO

6.8.2. LAYOUT 建议

- ❖ RMII 信号做等长控制，误差±100mil，线间距 2W 以上；
- ❖ 网络差分信号做等长控制，差分对内误差±30mil，相邻差分对间距 3W 以上；
- ❖ 网口变压器靠近 PHY 芯片放置，距离建议不超过 20mm；
- ❖ PHY 芯片的电源引脚去耦电容靠近 PHY 芯片放置；

6.9. 音频接口

ECK20-6Y28C 核心板最大支持 3 路同步音频接口（SAI），该接口支持具有帧同步的全双工串行接口，如 I2S，AC97，TDM 和编解码器/ DSP 接口。在底板电路设计中，需要把 SAI 接口信号接到音频编解码芯片上，通过音频编解码芯片实现耳机、麦克风、扬声器等音频接口功能。

音频电路中的 AUDIO_GND 用 0Ω 电阻与数字电路的 DGND 隔离，供电管脚的电容以及音频信号的滤波电容也应接到 AUDIO_GND 上。

6.10. UART 接口

ECK20-6Y28C 核心板最大支持 8 路的异步串口，最高支持 5.0Mbps 波特率。核心板默认使用 UART 1 作为调试串口。

6.11. SPI 接口

ECK20-6Y28C 系列核心板最大支持 4 路 SPI 控制器，支持主/从模式。SPI 信号包括 SPI_CLK、SPI_SS、SPI_MOSI 和 SPI_MISO，设计时要先确认主从设备的关系，进而确认 MOSI 和 MISO 信号的方向。1 路 SPI 只能接 1 路设备。

6.12. I2C 接口

ECK20-6Y28C 系列核心板支持 4 路 I2C 控制器，支持 2 种时钟频率模式，标准模式下的速率为 100Kbit/s，快速模式下的速率为 400Kbit/s。

同一 I2C 总线下可以挂载若干个设备，在原理图设计时需要注意以下几点：

- a) 检查同一总线下的设备地址是否冲突；
- b) 保证每条 I2C 总线上都有一对上拉电阻，阻值建议 2.2K~10K，但不要重复添加；
- c) 核心板内为提供 I2C 总线上拉电阻，需要用户在底板应用时上拉；
- d) 检查设备的 I2C 接口电平是否是 3.3V，如果不是，需要加电平转换电路；
- e) 检查 I2C 接口电源轨是否一致，不同时间域的 I2C 接口互联时，需要考虑总线开关电路；
- f) 同一总线下的设备数量不要过多，否则有可能超出 I2C 规范要求的 400pF 的负载电容限制，影响信号波形。

6.13. CAN 接口

ECK20-6Y28C 系列核心板支持 2 路 CAN 控制器，支持 2.0 B 版本 CAN 协议规范，只

需要外接 CAN 收发器即可以进行 CAN 通讯。

6.14.ADC 接口

ECK20-6Y28C 系列核心板最大可提供 10 路 ADC 输入通道，具备 1 个 12 位的 ADC 转换器。ADC 参考电压 VREF 采用处理器内部参考。

6.15.GPIO 接口

ECK20-6Y28C 系列核心板最大可提供 105 路 GPIO 接口，但大部分都存在复用功能。用户可根据自身需求对 GPIO 进行灵活配置。

6.16.硬件设计检查项

- ❖ 电源轨：检查 I/O 接口应用是否存在电源轨不一致的问题，例如 1.8V 的信号连接到 3.3V 的信号上。如果出现不同电源轨信号的连接需求，应采用电平转换电路处理。
- ❖ 上电时序：检查底板与核心板连接的信号是否存在底板信号先上电，或者两个板卡信号上电时间差异很大的情况。
- ❖ 上拉和下拉电阻：复用 I/O 接口在上电软件配置前存在输出状态不确定的情况，如果信号需要上电时保持确定电平，应在底板上设计上下拉电阻。部分功能信号也需要在底板上设计上拉或下拉电阻，如 I2C 信号。在设计上拉电阻时应注意上拉电源轨的设计。
- ❖ ESD 保护：对外接口信号应考虑相应的 ESD 保护设计，ESD 方案的选择应考虑信号速率、通讯协议和应用环境的要求。
- ❖ 高速信号等长：高速信号应考虑 PCB 的等长设计，包括 USB、以太网、SDIO、显示等。
- ❖ 阻抗控制：高速信号应考虑 PCB 阻抗控制，阻抗控制的关键是保持阻抗的连续性，底板应参考核心板信号的阻抗进行设计。

7. 软件资源

ECK20-6Y28C 系列核心板搭载基于 Linux 5.10.9 版本内核的操作系统，开发板出厂附带嵌入式 Linux 系统开发所需要的交叉编译工具链，U-boot 源代码，Linux 内核和各驱动模块的源代码，以及适用于 Windows 桌面环境和 Linux 桌面环境的各种开发调试工具。

操作系统：

Ubuntu 20.04 系统

系统源码：

u-boot 2020.04

Kernel 5.10.9

Yocto gatesgarth

开发环境及工具：

烧录工具：uuu

配置工具：Config Tools for i.MX V15

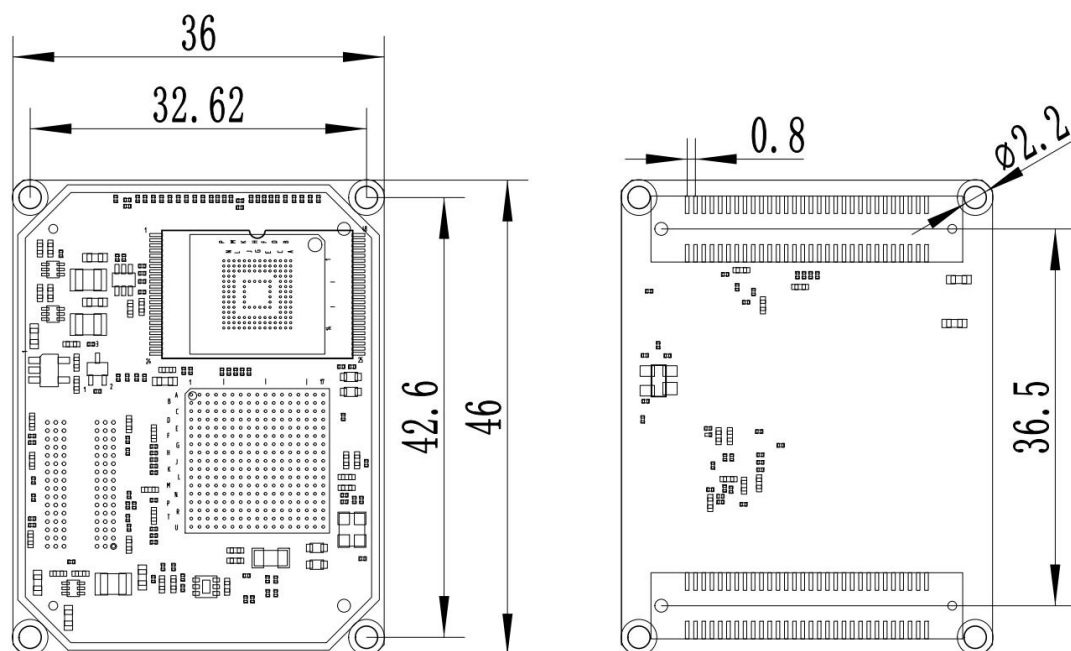
7.1.系统资源

系统软件资源表

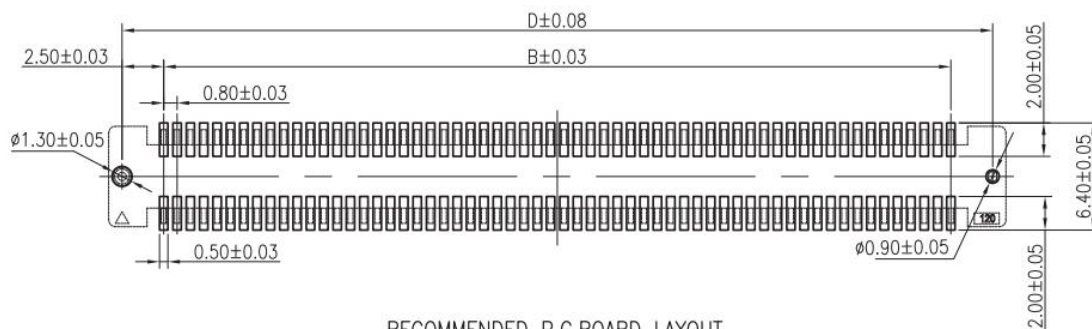
类别	名称	描述	源码
BOOT	u-boot 2020.04	引导程序	/source/u-boot_2020.04.tar.xz
Kernel	Kernel 5.10.9	Linux 内核	/source/kernel_5.10.9.tar.xz
Device Driver	MMC	eMMC/TF 卡驱动程序	drivers/mmc/host/sdhci-esdhc-imx.c
	NAND	MTD 驱动程序	drivers/mtd/nand/raw/gpmi-nand/gpmi-nand.c
	SPI	SPI 驱动程序	drivers/spi/spi-imx.c
	I2C	I2C 驱动程序	drivers/i2c/busses/i2c-imx.c
	USB Host	USB 驱动程序	drivers/usb/host/ohci-platform.c
	Ethernet	网络驱动程序	drivers/net/ethernet/freescale/fec_main.c
	UART	串口驱动程序	drivers/tty/serial/imx.c
	Can bus	Can 总线驱动程序	drivers/net/can/flexcan.c
	GPIO key	Key 驱动程序	drivers/input/keyboard/gpio_keys.c
	RTC	RTC 驱动程序	drivers rtc/rtc-snvs.c
	GPIO Led	Led 驱动程序	drivers/leds/leds-gpio.c
	LCD	LCDIF 驱动程序	drivers/video/fbdev/mxsfb.c
	电阻触摸	ADC 触摸驱动	drivers/input/touchscreen/imx6ul_tsc.c
操作系统	Rootfs	Ubuntu 20.04 系统	/images/rootfs.tar.bz2
开发工具	Yocto gatesgarth	操作系统构建	/source/yocto-gatesgarth.tar
	Gcc	交叉编译工具	/tools/gcc-linaro-7.5.0-2019.12-x86_64_arm-linux-gnueabi.tar.xz
	uuu	烧录工具	/tools/uuu
	Config Tools for i.MX	资源配置工具	/tools/Config_Tools_for_i.MX_v15_x64.exe
	balenaEtcher	SD 启动卡制作工具	/tools/balenaEtcher-Portable-1.18.11.exe

8. 结构尺寸

ECK20-6Y28C 系列核心板采用 120 PIN, 0.8mm 间距 BTB 连接器接口形式, 可与载板对插, 方便快捷。心板结构尺寸见下图。



BTB 核心板结构尺寸图



RECOMMENDED P.C.BOARD LAYOUT

B=23.20mm D=28.20mm

BTB 连接器尺寸图

9. 热设计

9.1. 设计目标

为确保核心板在工业级温度范围内 (-40°C ~ +85°C) 稳定运行, 需满足以下目标:

关键器件结温控制:

i.MX6 处理器: 结温 $T \leq 105^{\circ}\text{C}$ (最大允许值)。

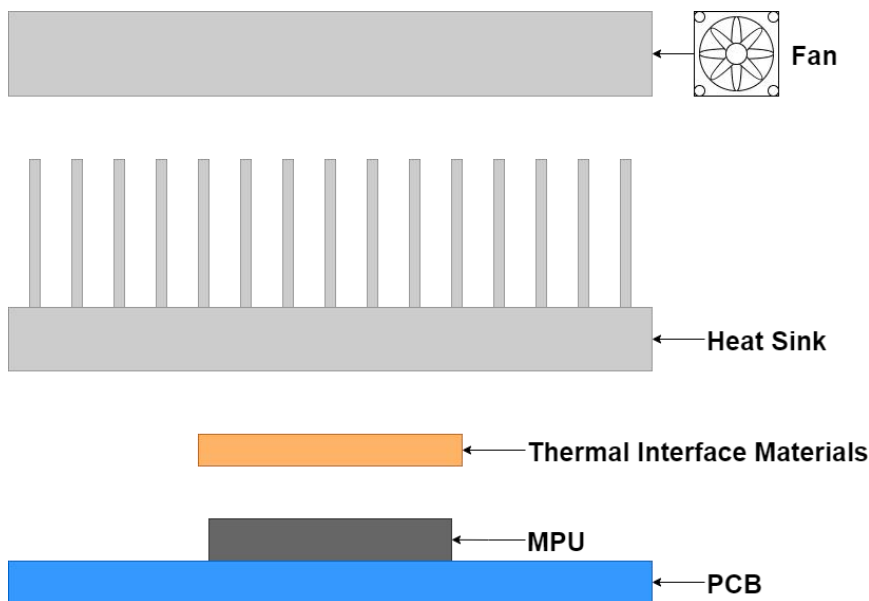
DDR3/LPDDR2 内存: $T \leq 95^{\circ}\text{C}$, 建议 $\leq 85^{\circ}\text{C}$ 。

eMMC 存储芯片: $T \leq 105^{\circ}\text{C}$, 建议 $\leq 95^{\circ}\text{C}$ 。

9.2. 散热方案

a. 处理器散热

由于屏蔽罩在一定程度上影响散热, 若在 85°C 环境下使用建议将屏蔽罩取掉, 通过导热垫连接散热器并安装风扇, 参考下图。



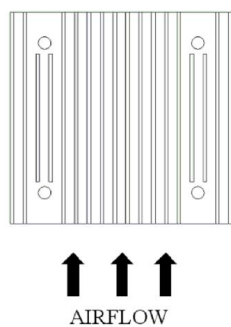
热设计参考图

推荐选用 $40*40*11\text{mm}$ 铝制黑色剖槽散热器, 导热垫选用厚度为 1mm , 导热系数 7.5 W/m-K , 热阻在 $R_{\text{that40mils},10\text{psi},500^{\circ}\text{C}}$ 条件下 $0.198^{\circ}\text{C} - \text{in}^2/\text{W}$ 。

b. 系统级散热

建议整机风道设计风速 $\geq 1.5\text{m/s}$, 风量 $\geq 5\text{CFM}$ 。

散热器安装方向与气流方向平行, 参考下图。



散热器安装方向参考图

9.3.热设计验证

● 测试条件

环境温度：85℃（保温 2 小时）。

负载：CPU 满载（Linux 下运行压力测试）。

散热方案：处理器散热。

风扇功率：5V；0.2A。

● 测试工具

红外热成像仪，高温试验箱。

- 测试结论：CPU 结温保持在 99.536℃，有 14.536℃的温升。能满足 CPU 长期重负载运行工况。

9.4.注意事项

- a.若应用于密闭环境，需增加散热器尺寸或升级主动散热。
- b. 每 6 个月清理散热器灰尘，避免热阻升高。

10. 参考文档

IMX6ULLIEC.pdf

IMX6ULLRM.pdf

Chip Errata for the i.MX6ULL.pdf

11. 修订说明

修订说明表

版本	修改内容	修改时间	编制	校对	审批
V1.0	初稿	25-02-27	WJ	LJQ	WFX

12. 关于我们



销售热线：4000-330-990

技术支持：support@cdebyte.com 官方网站：<https://www.ebyte.com>

公司地址：四川省成都市高新西区西区大道 199 号 B5 栋

((()))[®]
EBYTE 成都亿佰特电子科技有限公司
Chengdu Ebyte Electronic Technology Co.,Ltd.